

ACTIVE MATRIX TYPE DISPLAY DEVICE

Patent number: JP2002207442

Publication date: 2002-07-26

Inventor: MIYAJIMA KOJI

Applicant: SANYO ELECTRIC CO

Classification:

- international: **G02F1/1345; G02F1/133; G02F1/1368; G09F9/30; G09G3/20; G09G3/36; H01L29/786; G02F1/13; G09F9/30; G09G3/20; G09G3/36; H01L29/66; (IPC1-7): G09F9/30; G02F1/133; G02F1/1345; G02F1/1368; H01L29/786**

- european:

Application number: JP20010310626 20011005

Priority number(s): JP20010310626 20011005; JP20000337078 20001106

Also published as:



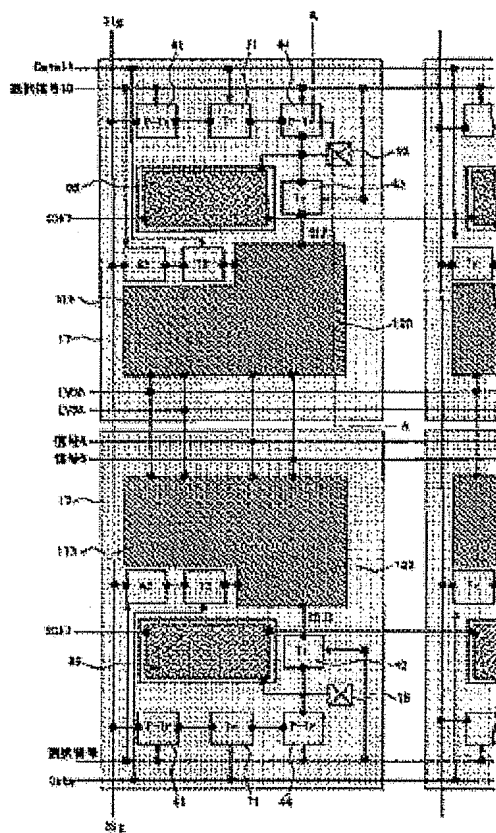
KR20020035444 (A)

CN1369872 (A)

[Report a data error here](#)

Abstract of JP2002207442

PROBLEM TO BE SOLVED: To reduce the power consumption and to increase the preciseness of the circuits of an active matrix type display device. **SOLUTION:** A holding circuit 110 which holds video signals is arranged for every pixel of the device and displaying is conducted by switching a normal operation mode and a memory operation mode. The number of the power supply wires is reduced to half the number compared with the case, in which power supply wires arranged for every row, by commonly using the power supply wires, which are located adjacent to each other and supply a driving voltage and a reference voltage to the circuit 110, with two rows. Thus, the space utilization efficiency of the circuit arrangement is improved and the circuit area of the circuit 110 is reduced. By reducing the circuit 110, the pixel size is reduced and at the same time, the preciseness of the pixel is made finer.



Data supplied from the [esp@cenet](#) database - Worldwide

Family list**10** family members for: **JP2002207442**

Derived from 7 applications

- 1 Active matrix type displaying unit**
Inventor: YASUSHI MIYAS (JP) **Applicant:** SANYO ELECTRIC CO (JP)
EC: **IPC:** G02F1/1345; G02F1/133; G02F1/1368 (+11)
Publication info: CN1369872 A - 2002-09-18
- 2 Active matrix display device with pixels comprising both analog and digital storage**
Inventor: MIYAJIMA YASUSHI (JP) **Applicant:** SANYO ELECTRIC CO (JP)
EC: G02F1/1362M; G09G3/36C8 **IPC:** G02F1/1362; G09G3/36; G02F1/1368 (+4)
Publication info: EP1204089 A1 - 2002-05-08
EP1204089 B1 - 2006-04-26
- 3 Active matrix display device with pixels having analog and digital memories**
Inventor: MIYAJIMA YASUSHI (JP) **Applicant:** SANYO ELECTRIC CO (JP)
EC: G02F1/1362M **IPC:** G02F1/1362; G09G3/36; G02F1/1368 (+4)
Publication info: EP1575024 A1 - 2005-09-14
- 4 ACTIVE MATRIX TYPE DISPLAY DEVICE**
Inventor: MIYAJIMA KOJI **Applicant:** SANYO ELECTRIC CO
EC: **IPC:** G02F1/1345; G02F1/133; G02F1/1368 (+14)
Publication info: JP4017371B2 B2 - 2007-12-05
JP2002207442 A - 2002-07-26
- 5 ACTIVE MATRIX DISPLAY DEVICE**
Inventor: MIYAJIMA YASUSHI **Applicant:** SANYO ELECTRIC CO
EC: **IPC:** G02F1/1345; G02F1/133; G02F1/1368 (+10)
Publication info: KR20020035444 A - 2002-05-11
- 6 Active matrix display device**
Inventor: MIYAJIMA YASUSHI (JP) **Applicant:** SANYO ELECTRIC CO (JP)
EC: **IPC:** G02F1/1345; G02F1/133; G02F1/1368 (+11)
Publication info: TW529001B B - 2003-04-21
- 7 Active matrix display device**
Inventor: MIYAJIMA YASUSHI (JP) **Applicant:**
EC: G02F1/1362M; G09G3/36C8 **IPC:** G02F1/1362; G09G3/36; G02F1/1368 (+3)
Publication info: US6825834 B2 - 2004-11-30
US2002057266 A1 - 2002-05-16

Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-207442

(P 2 0 0 2 - 2 0 7 4 4 2 A)

(43) 公開日 平成14年 7 月 26 日 (2002. 7. 26)

(51) Int. Cl. ⁷	識別記号	F I	テーマコード (参考)
G09F 9/30	330	G09F 9/30	330 Z 2H092
	338		338 2H093
G02F 1/133	550	G02F 1/133	550 5C094
1/1345		1/1345	5F110
1/1368		1/1368	

審査請求 未請求 請求項の数10 O L (全15頁) 最終頁に続く

(21) 出願番号	特願2001-310626 (P 2001 - 310626)	(71) 出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通 2 丁目 5 番 5 号
(22) 出願日	平成13年10月 5 日 (2001. 10. 5)	(72) 発明者	宮島 康志 大阪府守口市京阪本通 2 丁目 5 番 5 号 三 洋電機株式会社内
(31) 優先権主張番号	特願2000-337078 (P 2000 - 337078)	(74) 代理人	100107906 弁理士 須藤 克彦 (外 1 名)
(32) 優先日	平成12年11月 6 日 (2000. 11. 6)		
(33) 優先権主張国	日本 (J P)		

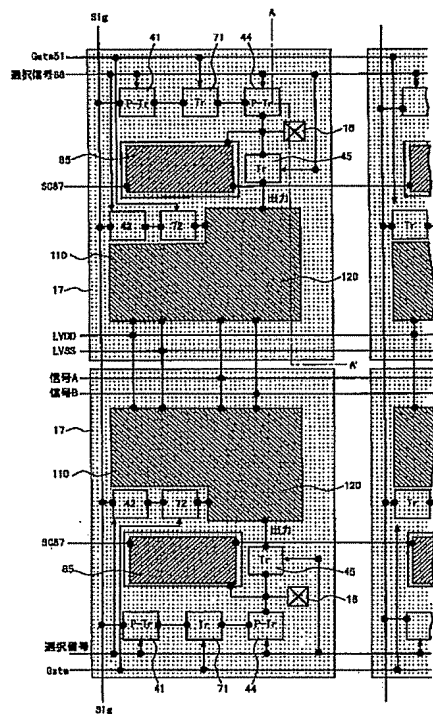
最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型表示装置

(57) 【要約】

【課題】 アクティブマトリクス型表示装置の低消費電力化と同時に回路の高精細化を図る。

【解決手段】 各画素毎に映像信号を保持する保持回路 1 1 0 を配置し、通常動作モードとメモリ動作モードを切り換えて表示する。保持回路 1 1 0 に駆動電圧、参照電圧を供給する電源線を隣接する 2 行で共有することによって、各行毎に電源線を配置するのに比較して電源線を半数に削減し、回路配置のスペース効率を向上し、保持回路 1 1 0 の回路面積を縮小する。保持回路 1 1 0 を縮小することで画素サイズを縮小し、高精細化できる。



【特許請求の範囲】

【請求項 1】 行列状に配置された複数の画素電極、前記画素電極に対応して配置された複数の保持回路、前記保持回路に所定の電圧を供給する電源線を備え、前記保持回路が保持するデータに応じた電圧が前記画素電極に供給されて表示を行うアクティブマトリクス型表示装置において、前記電源線は、行列いずれか一方方向に延在し、前記一方方向に並ぶ画素電極に対応する保持回路で共用されるとともに、行列いずれかの他方向に隣接する画素電極に対応する保持回路で共用されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 2】 行列状に配置された画素電極と、行方向に配置された複数のゲート信号線と、列方向に配置された複数のドレイン信号線とを有し、前記画素電極は、前記ゲート信号線からの走査信号により選択されると共に前記ドレイン信号線から映像信号が供給されるアクティブマトリクス型表示装置において、前記ゲート信号線から入力される走査信号によって選択された画素電極に前記ドレイン信号線からの映像信号に応じた信号を供給する第 1 の表示回路と、所定の電圧が供給され、前記ゲート信号線から入力される走査信号に応じて前記ドレイン信号線からの映像信号を保持する保持回路を備え、該保持回路からの信号に応じた信号を前記表示電極に供給する第 2 の表示回路と、回路選択信号に応じて、前記第 1 及び第 2 の表示回路を選択的に前記ドレイン信号線に接続するための回路選択回路と、を備え、前記保持回路に所定の電圧を供給する電源線は、行列いずれかの一方方向に延在し、該一方方向に並ぶ画素電極に対応する保持回路で共用されるとともに、行列いずれかの他方向に隣接する複数の画素で共有されていることを特徴とするアクティブマトリクス型表示装置。

【請求項 3】 前記保持回路それぞれには、行列いずれかの一方方向に延在し、異なる駆動電圧を供給する少なくとも 2 本の駆動電源線が接続され、前記駆動電源線の少なくとも 1 本は、行列他方向に隣接する複数の画素で共有されていることを特徴とする請求項 1 または請求項 2 に記載のアクティブマトリクス型表示装置。

【請求項 4】 互いに隣接する画素で共有された前記駆動電源線を、一方の画素の画素電極に容量結合させるとともに、前記駆動電源線が他方の画素の画素電極に容量結合するように拡張された領域を設けたことを特徴とする請求項 3 に記載のアクティブマトリクス表示装置。

【請求項 5】 互いに隣接する画素で共有された前記駆動電源線を、一方の画素の画素電極上に重畳させるとともに、前記駆動電源線を他方の画素の画素電極上に拡張して成る重畳領域を設けたことを特徴とする請求項 3 に記載のアクティブマトリクス表示装置。

【請求項 6】 前記保持回路それぞれには、行列いずれかの一方方向に延在し、異なる参照電圧を供給する少なく

とも 2 本の参照電源線が接続され、前記保持回路は、保持したデータに応じて前記参照電圧を選択して前記画素電極に供給し、前記参照電源線の少なくとも 1 本は、行列いずれかの他方向に隣接する複数の画素で共有されていることを特徴とする請求項 1 または請求項 2 に記載のアクティブマトリクス型表示装置。

【請求項 7】 互いに隣接する画素で共有された前記参照電源線を、一方の画素の画素電極に容量結合させるとともに、前記参照電源線が他方の画素の画素電極に容量結合するように拡張された領域を設けたことを特徴とする請求項 6 に記載のアクティブマトリクス表示装置。

【請求項 8】 互いに隣接する画素で共有された前記参照電源線を、一方の画素の画素電極上に重畳させるとともに、前記参照電源線を他方の画素の画素電極上に拡張して成る重畳領域を設けたことを特徴とする請求項 6 に記載のアクティブマトリクス表示装置。

【請求項 9】 前記共有される電源線は、全ての保持回路に対して同じ電圧を供給することを特徴とする請求項 1 または請求項 2 に記載のアクティブマトリクス型表示装置。

【請求項 1 0】 前記共有される電源線は、前記行列いずれかの他方向に隣接する画素の間付近に配置され、前記行列いずれかの他方向に隣接する画素における前記保持回路の配置は、前記行列いずれかの他方向に隣接する画素の間を軸としてもしくは中心として前記共有される電源線を挟んで対称に配置されることを特徴とする請求項 1 または請求項 2 に記載のアクティブマトリクス型表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、アクティブマトリクス型表示装置に関するものであり、特に画素に対応して複数の保持回路が設けられたアクティブマトリクス型表示装置に関するものである。

【 0 0 0 2 】

【従来の技術】近年、表示装置は携帯可能な表示装置、例えば携帯テレビ、携帯電話等が市場ニーズとして要求されている。かかる要求に応じて表示装置の小型化、軽量化、省消費電力化に対応すべく研究開発が盛んに行われている。

【 0 0 0 3 】図 6 に従来例に係る液晶表示装置 (Liquid Crystal Display ; LCD) の一画素電極の回路構成図を示す。絶縁性基板 (不図示) 上に、ゲート信号線 5 1、ドレイン信号線 6 1 とが交差して形成されており、その交差部近傍に両信号線 5 1、6 1 に接続された選択画素選択 TFT 7 0 が設けられている。選択画素選択 TFT 7 0 のソース 7 0 s は液晶 2 1 の画素電極 1 7 に接続されている。

【 0 0 0 4 】また、画素電極 1 7 の電圧を 1 フィールド期間、保持するための補助容量 8 5 が設けられており、

この補助容量 85 の一方の端子 86 は選択画素選択 T F T 70 のソース 70 s に接続され、他方の電極 87 には各画素電極に共通の電位が印加されている。

【0005】ここで、ゲート信号線 51 にゲート信号が印加されると、選択画素選択 T F T 70 はオン状態となり、ドレイン信号線 61 からアナログ映像信号が画素電極 17 に伝達されると共に、補助容量 85 に保持される。画素電極 17 に印加された映像信号電圧が液晶 21 に印加され、その電圧に応じて液晶 21 が配向する。このような画素電極をマトリクス状に配置することにより L C D を得ることができる。

【0006】従来の L C D は、動画像、静止画像に関係なく表示を得ることができる。かかる L C D に静止画像を表示する場合、例えば携帯電話の液晶表示部の一部に携帯電話を駆動するためのバッテリーの残量表示として、乾電池の画像を表示することになる。

【0007】しかしながら、上述した構成の液晶表示装置においては、静止画像を表示する場合であっても、動画像を表示する場合と同様に、ゲート信号で選択画素選択 T F T 70 をオン状態にして、映像信号を各画素電極に書き込みする必要が生じていた。

【0008】そのため、ゲート信号及び映像信号等の駆動信号を発生するためのドライバ回路、及びドライバ回路の動作タイミングを制御するための各種信号を発生する外部 L S I は常時動作するため、常に大きな電力を消費していた。このため、限られた電源しか備えていない携帯電話等では、その使用可能時間が短くなるという欠点があった。

【0009】これに対して、各画素電極にスタティック型メモリを備えた液晶表示装置が特開平 8-194205 号に開示されている。同公報の一部を引用して説明する。図 7 は特開平 8-194205 号に開示されている保持回路付きアクティブマトリクス型表示装置の平面回路構成図である。ゲート信号線 51 と参照線 52 が行方向に、ドレイン信号線 61 が列方向に、それぞれ複数配置されている。そして、保持回路 54 と画素電極 17 間には T F T 53 が設けられている。保持回路 54 に保持されたデータに基づいて表示を行うことにより、ゲートドライバ 50、ドレインドライバ 60 を停止して消費電力を低減するものである。

【0010】図 8 はこの液晶表示装置の一画素を示す回路構成図である。基板上に画素電極がマトリクス状に配置されており、画素電極 17 間には紙面左右方向にゲート信号線 51 が、上下方向にドレイン信号線 61 が配置されている。そしてゲート信号線 51 と平行に参照線 52 が配置され、ゲート信号線 51 とドレイン信号線 61 の交差部に保持回路 54 が設けられ、保持回路 54 と画素電極 17 間にはスイッチ素子 53 が設けられている。保持回路 54 は 2 段インバータ 55、56 を正帰還させた形のメモリ、即ちスタティック型メモリ (Static Ran

dom Access Memory ; S R A M) をデジタル映像信号の保持回路として用いる。特に S R A M は、D R A M と異なり、データの保持にリフレッシュを必要としないので好適である。

【0011】ここで、スタティック型メモリに保持された 2 値デジタル信号に応じて、スイッチ素子 53 は参照線 V r e f と画素電極 17 との間の抵抗値を、保持回路 54 の出力に応じて制御し、液晶 21 のバイアス状態を調整している。一方、共通電極には交流信号 V c o m を入力する。本装置は理想上、静止画像のように表示画像に変化がなければ、メモリへのリフレッシュは不要である。

【0012】

【発明が解決しようとする課題】しかしながら、保持回路 54 にスタティック R A M を用いると、保持回路を構成するトランジスタの数は 4 つもしくは 6 つと多く、回路面積が大きい。そのようなスタティック R A M を画素電極 17 の間に配置すると、画素電極 17 の面積が小さくなって液晶表示装置の開口率が低下するか、一つの画素サイズを大きくせざるをえずに高精細化が困難であるという問題があった。

【0013】そこで、本発明は、保持回路を有する表示装置において、より高精細、もしくはより開口率を向上させることを目的とする。

【0014】

【課題を解決するための手段】本発明は上記課題を解決するために成されたものであり、行列状に配置された複数の画素電極、画素電極に対応して配置された複数の保持回路、保持回路に所定の電圧を供給する電源線を備え、保持回路が保持するデータに応じた電圧が画素電極に供給されて表示を行うアクティブマトリクス型表示装置において、電源線は、行列いずれか一方に延在し、一方向に並ぶ画素電極に対応する保持回路で共用されるときに、行列いずれかの他方向に隣接する画素電極に対応する保持回路で共用されているアクティブマトリクス型表示装置である。

【0015】かかる構成によれば、保持回路を有するアクティブマトリクス型表示装置において、各行毎に電源線を配置するのに比較して電源線の本数を半数に削減でき、画素サイズを縮小することができるので、より高精細なアクティブマトリクス表示装置とすることができる。

【0016】また、行列状に配置された画素電極と、行方向に配置された複数のゲート信号線と、列方向に配置された複数のドレイン信号線とを有し、画素電極は、ゲート信号線からの走査信号により選択されると共にドレイン信号線から映像信号が供給されるアクティブマトリクス型表示装置において、ゲート信号線から入力される走査信号によって選択された画素電極にドレイン信号線からの映像信号に応じた信号を供給する第 1 の表示回路

と、所定の電圧が供給され、ゲート信号線から入力される信号に応じてドレイン信号線からの映像信号を保持する保持回路を備え、この保持回路からの信号に応じた信号を表示電極に供給する第2の表示回路と、回路選択信号に応じて、第1及び第2の表示回路を選択的にドレイン信号線に接続するための回路選択回路と、を備え、保持回路に所定の電圧を供給する電源線は、行列一方向に延在し、この一方向に並ぶ画素電極に対応する保持回路で共用されるとともに、行列他方向に隣接する複数の画素で共有されているアクティブマトリクス型表示装置である。

【0017】かかる構成によれば、第1及び第2の表示回路のいずれかを選択可能なアクティブマトリクス型表示装置において、各行毎に電源線を配置するのに比較して電源線の本数を半数に削減でき、画素サイズを縮小することができるので、より高精細なアクティブマトリクス表示装置とすることができる。

【0018】その好ましい実施態様は以下の通りである。すなわち、保持回路それぞれには、行列一方向に延在し、異なる駆動電圧を供給する少なくとも2本の駆動電源線が接続され、駆動電源線の少なくとも1本は、行列他方向に隣接する複数の画素で共有されている。

【0019】さらに、保持回路それぞれには、行列一方向に延在し、異なる参照電圧を供給する少なくとも2本の参照電源線が接続され、保持回路は、保持したデータに応じて参照電圧を選択して画素電極に供給し、参照電源線の少なくとも1本は、行列他方向に隣接する複数の画素で共有されている。

【0020】さらに、共有される電源線は、全ての保持回路に対して同じ電圧を供給する。さらに、共有される電源線は、行列他方向に隣接する画素の間付近に配置され、行列他方向に隣接する画素における保持回路の配置は、行列他方向に隣接する画素の間を軸もしくは中心として共有される電源線を挟んで対称に配置される。

【0021】

【発明の実施の形態】次に、本発明の実施形態に係る表示装置について説明する。図1に本発明の表示装置を液晶表示装置に応用した場合の回路構成図を示す。

【0022】液晶表示パネル100には、絶縁基板10上に複数の画素電極17がマトリクス状に配置されている。そして、ゲート信号を供給するゲートドライバ50に接続された複数のゲート信号線51が一方向に配置されており、これらのゲート信号線51と交差する方向に複数のドレイン信号線61が配置されている。

【0023】ドレイン信号線61には、ドレインドライバ60から出力されるサンプリングパルスのタイミングに応じて、サンプリングトランジスタSP1, SP2, ..., SPnがオンし、データ信号線62のデータ信号（アナログ映像信号又はデジタル映像信号）が供給される。

【0024】ゲートドライバ50は、あるゲート信号線51を選択し、これにゲート信号を供給する。選択された行の画素電極17にはドレイン信号線61からデータ信号が供給される。

【0025】以下、各画素の詳細な構成について説明する。ゲート信号線51とドレイン信号線61の交差部近傍には、Pチャネル型回路選択TF T 41及びNチャネル型回路選択TF T 42から成る回路選択回路40が設けられている。回路選択TF T 41, 42の両ドレインはドレイン信号線61に接続されると共に、それらの両ゲートは回路選択信号線88に接続されている。回路選択TF T 41, 42は、選択信号線88からの選択信号に応じていずれか一方がオンする。また、後述するように回路選択回路40と対を成して、回路選択回路43が設けられている。回路選択回路40, 43は、それぞれのトランジスタが相補的に動作すればよく、Pチャネル、Nチャネルは逆でももちろんよい。また、回路選択回路40, 43はいずれか一方のみを省略することもできる。

【0026】これにより、後述する通常動作モードであるアナログ映像信号表示（フルカラー動画像対応）とメモリ動作モードであるデジタル映像表示（低消費電力、静止画像対応）とを選択して切換えることが可能となる。また、回路選択回路40に隣接して、Nチャネル型画素選択TF T 71及びNチャネル型TF T 72から成る画素選択回路70が配置されている。画素選択TF T 71, 72はそれぞれ回路選択回路40の回路選択TF T 41, 42と縦列に接続されると共に、それらのゲートにはゲート信号線51が接続されている。画素選択TF T 71, 72はゲート信号線51からのゲート信号に応じて両方が同時にオンするように構成されている。

【0027】また、アナログ映像信号を保持するための補助容量85が設けられている。補助容量85の一方の電極は画素選択TF T 71のソースに接続されている。他方の電極は共通の補助容量線87に接続され、バイアス電圧V_{sc}が供給されている。また、画素選択TF T 71のソースは回路選択TF T 41及びコンタクト16を介して画素電極17に接続されている。ゲート信号によって画素選択TF T 70のゲートが開くと、ドレイン信号線61から供給されるアナログ映像信号はコンタクト16を介して画素電極17に入力され、画素電圧として液晶を駆動する。画素電圧は画素選択TF T 71の選択が解除され、次に再び選択されるまでの1フィールド期間保持されなければならないが、液晶の容量のみでは、画素電圧は時間経過とともに次第に低下してしまい、1フィールド期間十分に保持されない。そうすると、その画素電圧の低下が表示むらとして現れてしまい良好な表示が得られなくなる。そこで画素電圧を1フィールド期間保持するために補助容量85を設けている。

【0028】この補助容量85と画素電極17との間に

は、回路選択回路 43 の P チャンネル型 T F T 44 が設けられ、回路選択回路 40 の回路選択 T F T 41 と同時にオンオフするように構成されている。回路選択 T F T 41 がオンし、アナログ信号を随時供給して液晶を駆動する動作モードを通常動作モード、もしくはアナログ動作モードと呼ぶ。

【0029】また、画素選択回路 70 の T F T 72 と画素電極 17 との間には、保持回路 110 が設けられている。保持回路 110 は、正帰還された 2 つのインバータ回路と信号選択回路 120 から成り、デジタル 2 値を保持するスタティック型メモリを構成している。

【0030】また、信号選択回路 120 は、2 つのインバータからの信号に応じて信号を選択する回路であって、2 つの N チャンネル型 T F T 121、122 で構成されている。T F T 121、122 のゲートには 2 つのインバータからの相補的な出力信号がそれぞれ印加されているので、T F T 121、122 は相補的にオンオフする。

【0031】ここで、T F T 122 がオンすると交流駆動信号（信号 B）が選択され、T F T 121 がオンするとその対向電極信号 VCOM を等しい交流駆動信号（信号 A）が選択され、選択回路 43 の T F T 45 を介して、液晶 21 の画素電極 17 に供給される。回路選択 T F T 42 がオンし、保持回路 110 に保持されたデータに基づいて表示をする動作モードをメモリモードもしくはデジタル動作モードと呼ぶ。

【0032】上述した構成を要約すれば、画素選択素子である画素選択 T F T 71 及びアナログ映像信号を保持する補助容量 85 から成る回路（アナログ表示回路）と、画素選択素子である T F T 72、2 値のデジタル映像信号を保持する保持回路 110 から成る回路（デジタル表示回路）とが 1 つの画素電極内に設けられ、更に、これら 2 つの回路を選択するための回路選択回路 40、43 が設けられている。

【0033】次に、液晶パネル 100 の周辺回路について説明する。液晶パネル 100 の絶縁性基板 10 とは別基板の外付け回路基板 90 には、パネル駆動用 L S I 91 が設けられている。この外付け回路基板 90 のパネル駆動用 L S I 91 から垂直スタート信号 S T V がゲートドライバ 50 に入力され、水平スタート信号 S T H がドレインドライバ 60 に入力される。また映像信号がデータ線 62 に入力される。

【0034】次に、上述した構成の表示装置の駆動方法について説明する。

（1）通常動作モード（アナログ動作モード）の場合モード信号に応じて、アナログ表示モードが選択されると、L S I 91 はデータ信号線 62 にアナログ信号を供給する状態に設定されると共に、回路選択信号線 88 の電位が「L」となり、回路選択回路 40、43 の回路選択 T F T 41、43 がオンし、回路選択 T F T 42、4

5 がオフする。

【0035】また、水平スタート信号 S T H に基づくサンプリング信号に応じてサンプリングトランジスタ S P が順次オンしデータ信号線 62 のアナログ映像信号がドレイン信号線 61 に供給される。

【0036】また、垂直スタート信号 S T V に基づいて、ゲート信号がゲート信号線 51 に供給される。ゲート信号に応じて、画素選択 T F T 71 がオンすると、ドレイン信号線 61 からアナログ映像信号 A n. S i g が画素電極 17 に伝達されると共に、補助容量 85 に保持される。画素電極 17 に印加された映像信号電圧が液晶 21 に印加され、その電圧に応じて液晶 21 が配向することにより液晶表示を得ることができる。

【0037】このアナログ表示モードでは、随時入力されるアナログ信号に応じて随時液晶を駆動するので、フルカラーの動画像を表示するのに好適である。ただし、外付け回路基板 90 の L S I 91、各ドライバ 50、60 にはそれらを駆動するために、絶えず電力が消費されている。

（2）メモリ動作モード（デジタル表示モード）の場合モード信号に応じて、デジタル表示モードが選択されると、L S I 91 は映像信号をデジタル変換して上位 1 ビットを抽出したデジタルデータをデータ信号線 62 に出力する状態に設定されると共に、回路選択信号線 88 の電位が「H」となる。すると、回路選択回路 40、43 の回路選択 T F T 41、44 がオフすると共に、回路選択 T F T 42、45 がオンするので、保持回路 110 が有効な状態になる。

【0038】また、外付け回路基板 90 のパネル駆動用 L S I 91 から、ゲートドライバ 50 及びドレインドライバ 60 にスタート信号 S T H が入力される。それに応じてサンプリング信号が順次発生し、それぞれのサンプリング信号に応じてサンプリングトランジスタ S P 1、S P 2、…、S P n が順にオンしてデジタル映像信号 D. S i g をサンプリングして各ドレイン信号線 61 に供給する。

【0039】ここで第 1 行、即ちゲート信号 G 1 が印加されるゲート信号線 51 について説明する。まず、ゲート信号 G 1 によってゲート信号線 51 に接続された各画素電極の各画素選択 T F T 72 が 1 水平走査期間オンする。第 1 行第 1 列の画素電極に注目すると、サンプリング信号 S P 1 によってサンプリングしたデジタル映像信号 S 11 がドレイン信号線 61 に入力される。そして選択画素選択 T F T 72 がゲート信号によってオン状態になるとそのデジタル信号 D. S i g が保持回路 110 に入力され、2 つのインバータによって保持される。

【0040】このインバータで保持された信号は、信号選択回路 120 に入力されて、この信号選択回路 120 で信号 A 又は信号 B を選択して、その選択した信号が画素電極 17 に印加され、その電圧が液晶 21 に印加され

る。

【0041】こうして1行目のゲート信号線から最終行のゲート信号線まで走査することにより、1画面分（1フィールド期間）のスキャン、即ち全ドットスキャンが終了し1画面が表示される。

【0042】ここで、1画面が表示されると、ゲートドライバ50並びにドレインドライバ60及び外付けのパネル駆動用LSI91への電圧供給を停止しそれらの駆動を止める。保持回路110には常に駆動電圧VDD、VSSを供給して駆動し、また対向電極電圧を対向電極32に、各信号A及びBを選択回路120に供給する。

【0043】即ち、保持回路110にこの保持回路を駆動するための駆動電圧VDD、VSSを供給し、対向電極には対向電極電圧VCOMを印加し、液晶表示パネル100がノーマリーホワイト（NW）の場合には、信号Aには対向電極電圧と同じ電位の交流駆動電圧を印加し、信号Bには液晶を駆動するための交流電圧（例えば60Hz）を印加するのみである。そうすることにより、1画面分を保持して静止画像として表示することができる。また他のゲートドライバ50、ドレインドライバ60及び外付けLSI91には電圧が印加されていない状態である。

【0044】このとき、ドレイン信号線61にデジタル映像信号で「H（ハイ）」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「L」が入力されることになるので第1のTFT121はオフとなり、他方の第2のTFT122には「H」が入力されることになるので第2のTFT122はオンとなる。そうすると、信号Bが選択されて液晶には信号Bの電圧が印加される。即ち、信号Bの交流電圧が印加され、液晶が電界によって立ち上がるため、NWの表示パネルでは表示としては黒表示として観察できる。

【0045】ドレイン信号線61にデジタル映像信号で「L」が保持回路110に入力された場合には、信号選択回路120において第1のTFT121には「H」が入力されることになるので第1のTFT121はオンとなり、他方の第2のTFT122には「L」が入力されることになるので第2のTFT122はオフとなる。そうすると、信号Aが選択されて液晶には信号Aの電圧が印加される。即ち、対向電極32と同じ電圧が印加されるため、電界が発生せず液晶は立ち上がらないため、NWの表示パネルでは表示としては白表示として観察できる。

【0046】このように、1画面分を書き込みそれを保持することにより静止画像として表示できるが、その場合には、各ドライバ50、60及びLSI91の駆動を停止するので、その分低消費電力化することができる。

【0047】上記実施形態では、保持回路110は1ビットのみを保持するが、もちろん保持回路110を多ビ

ット化すれば、メモリ動作モードで階調表示を行うこともできるし、保持回路110をアナログ値を記憶するメモリとすれば、メモリ動作モードでのフルカラー表示もできる。

【0048】上述したように、本発明の実施形態によれば、1つの液晶表示パネル100でフルカラーの動画像表示（アナログ表示モードの場合）と、低消費電力のデジタル階調表示（デジタル表示モードの場合）という2種類の表示に対応することができる。

【0049】次に、本実施形態のレイアウトについて、図2を用いて説明する。図2は本実施形態のレイアウトを示す概念図である。回路選択回路のPチャネル回路選択TFT41、画素選択回路のNチャネル画素選択TFT71、回路選択回路のPチャネルTFT44が直列に接続され、画素電極17にコンタクト16を介して接続されているとともに補助容量85に接続されている。また、Nチャネル回路選択TFT42、Nチャネル画素選択TFT72、保持回路110、回路選択回路のNチャネルTFT45がコンタクト16を介して画素電極17に接続されている。以上の構成はいずれも画素電極17に重畳して配置されている。

【0050】各画素に配置される回路構成は、各画素でほぼ同様であるが、列方向に隣接する画素同士の回路配置は、ほぼ互いの画素間を軸とした線対称になっている。即ち、図面1列目の画素では、画素上端にゲート信号線51が配置され、画素下半分に保持回路110が配置されている。そして、図面2列目の画素では、画素の下端にゲート信号線51が配置され、画素上半分に保持回路110が配置されている。同様に、図示しない3列目の画素では、ゲート信号線51を上端に、保持回路110を下半分に配置した1列目の画素と同様の配置となる。

【0051】保持回路110は、上述したようにSRAMである。そして保持回路110には、高低2種類の駆動電源線（LVDD、LVSS）、高低2種類の参照電源線（信号A、信号B）、合計4本の電源線が接続されている。これらの電源線は行方向に延びており、ゲート信号線51や、補助容量線87等と同様、その行の各画素で共用されている。以上は、各画素の回路配置で共通している点である。本実施形態においては、各画素の回路レイアウトが異なる。各画素の回路レイアウトは、列方向に隣接する画素同士で線対称にレイアウトされている。そして、列方向に隣接する画素の保持回路110同士がこの4本の電源線を挟んで互いに近接して配置され、4本の電源線は両方の保持回路110で共通となっている。即ち、それぞれの電源線は、2行の画素に1本の割合で配置され、2行の画素に対応する全ての保持回路に接続されている。従って、行方向に延びる電源線を各行毎に配置するのに比較して半分に削減することができる。保持回路110を有するアクティブマトリクス型表示装置

は、画素毎に設置される回路が多いため、回路の構成要素を削減することは、画素面積の縮小に直結する。従って、保持回路付きの表示装置を高精細化することができる。

【0052】例えば、ゲート信号線 51 は、各行で異なるタイミングでオンさせる必要があるため、異なる行に跨って共有することはできない。これに対し、本実施形態で共有される 4 本の電源線は、保持回路 110 の駆動電圧や、参照電圧を供給する線であり、その画素の選択、非選択やその画素の表示内容（白、黒）にかかわらず、全画素の保持回路 110 に共通して印加される電圧を供給し続ける。従って複数の行に跨って共用することができるのである。また、同様の理由から、アクティブマトリクス型表示装置がカラー表示を行うタイプであっても、電源線を隣接画素同士で共用することができる。即ち、本発明は、列方向に同一色が並ぶストライプ配列のみならず、RGBそれぞれが互い違いに配置されるデルタ配列でも全く同様に実施することができる。

【0053】次に、上記の 4 本の電源線と画素電極 17 のレイアウト上の関係について説明する。図 3 は、図 2 において列方向に隣接する画素 GS1、GS2 の境界部分を示すレイアウト概念図である。図に示すように、2 つの画素 GS1、GS2 によって共有された電源線 19（図中では保持回路 110 の SRAM に供給される電源線 LVDD）は、一方の画素、例えば画素 GS2 に重畳にして延在するとともに、その途中から画素 GS1、GS2 の方向へそれぞれ分岐して、コンタクト 18、18 を介してそれぞれの SRAM を構成する薄膜トランジスタ（TFT）のソース 110S、110S にコンタクトされる。

【0054】このようなレイアウトにおいては、画素 GS2 の画素電極 17 と電源線 19 の間には絶縁膜を介して寄生容量が形成される。その寄生容量が、画素 GS1 の画素電極 17 と電源線 19 の間に形成される寄生容量に比して非常に大きくなるため、寄生容量の画素電極 17、17 に対する影響がアンバランスとなる。このため、寄生容量の影響が一画素おきに発生し、画面上では横筋や縦筋として現れ、表示品位が低下してしまう。

【0055】そこで、電源線 19 が画素電極 17 と重ならない側の画素 GS1 において、分岐した電源線 19 が画素電極 17 上に拡張して成る重畳領域 20 を設けることにより、画素電極 17 と電源線 19 との間の寄生容量を増大させ、隣接する画素 GS2 の有する寄生容量とのバランスをとり、寄生容量の影響を無くしている。ここで、電源線 19 の拡張された重畳領域 20 を設けることにより、隣接する画素 GS1、GS2 に対して、画素電極 17 と電源線 19 との間に形成される寄生容量値を等しくすることが好ましい。

【0056】なお、電源線 19 は、保持回路 110 の高電圧側の駆動電源線（LVDD）に限られず、参照電源線

（信号 A、信号 B）、保持回路 110 の低電圧側の駆動電源線（LVSS）、信号 B を伝達する参照電源線のいずれでもよい。

【0057】また、上述したレイアウトでは、電源線 19 は画素電極 17 上に重畳されることにより直接的に容量結合しているが、必ずしも画素電極 17 上に重畳されていることは必要ではない。例えば、TFT のソースと画素電極 17 との間を中間電極層を介して接続している場合のように、電源線 19 は中間電極層を介して間接的に画素電極 17 と容量結合していてもよい。したがって、上述した電源線 19 が画素電極 17 上に拡張して成る重畳領域 20 についても、必ずしも画素電極 17 上に重畳していることは必要ではなく、上記のような中間電極層上に重畳していれば同様の効果を奏するものである。

【0058】ところで、本実施形態の LCD は反射型 LCD である。本実施形態の反射型 LCD の図 2A-A' 線断面図を図 4 に示す。一方の絶縁性基板 10 上に、多結晶シリコンから成り島化された半導体層 11 が配置され、その上をゲート絶縁膜 12 が覆って配置されている。半導体層 11 の上方であってゲート絶縁膜 12 上にはゲート電極 13 が配置され、このゲート電極 13 の両側に位置する下層の半導体層 11 には、ソース及びドレインが形成されている。ゲート電極 13 及びゲート絶縁膜 12 上にはこれらを覆って層間絶縁膜 14 が形成されている。そしてそのドレイン及びソースに対応した位置にはコンタクトが形成されており、そのコンタクトを介してドレインは画素選択 TFT 71 に、ソースはコンタクト 16 を介して画素電極 17 に、それぞれ接続されている。平坦化絶縁膜 15 上に形成された各画素電極 17 はアルミニウム（Al）等の反射材料から成っている。各画素電極 17 及び平坦化絶縁膜 15 上には液晶 21 を配向するポリイミド等から成る配向膜 20 が形成されている。

【0059】他方の絶縁性基板 30 上には、赤（R）、緑（G）、青（B）の各色を呈するカラーフィルタ 31、ITO（Indium Tin Oxide）等の透明導電性膜から成る対向電極 32、及び液晶 21 を配向する配向膜 33 が順に形成されている。もちろんカラー表示としない場合には、カラーフィルタ 31 は不要である。

【0060】こうして形成された一対の絶縁性基板 10、30 の周辺を接着性シール材によって接着し、それによって形成された空隙に液晶 21 が充填されている。

【0061】反射型 LCD では、図中点線矢印で示すように、絶縁性基板 30 側から入射した外光が画素電極 17 によって反射されて、観察者 1 側に出射し、表示を観察することができる。

【0062】反射型 LCD は画素電極 17 を光が透過しないので画素電極 17 の下にどのような素子が配置されていても開口率に影響を及ぼさない。そして、大きい面

積を必要とする保持回路 110 を画素電極 17 の下に配置することによって、画素の間隔を通常の LCD と同等にすることもできる。また、本実施形態のように全ての構成を画素電極の下に配置する必要はなく、一部の構成を画素電極間に配置してもよい。

【0063】次に本発明の第 2 の実施形態について図面を参照しながら説明する。図 5 は、本実施形態の平面レイアウトを示す概念図である。本実施形態は RGB 各色の画素が整列して配置されたストライプ配列であって、それぞれの画素電極 17 には RGB のいずれかのカラー 10 フィルタが対応して配置されており、それを 17R、17G、17B として示す。RGB それぞれの画素は、図 2 と同様の回路を有し、それぞれの画素でその画素のデータを保持回路 110 に保持することができるようになっている。

【0064】本実施形態で特徴的な点は、画素電極 17 のレイアウトと、保持回路や選択回路、補助容量などの回路レイアウトが一致していない点である。この点について、以下により詳細に述べる。まず画素電極 17R に 20 着目する。画素電極 17R は図面左端に配置され、上下方向に長い矩形状である。画素電極 17R とその回路とを接続するコンタクトは 16R で示されている。そして、回路選択 TFT 41R、44R、画素選択 TFT 71R が直列に接続され、その一部は隣接画素である画素電極 17G にまで延在している。同様に補助容量 85R、保持回路 110R も画素電極 17G に延在している。そして、画素電極 17G は、コンタクト 16G を介して対応する回路に接続されており、回路選択 TFT 41G、画素選択 TFT 71G、補助容量 85G、保持回路 110G は、隣接画素である画素電極 17R に重畳し 30 て配置されている。

【0065】そして、画素電極 17R、17G に対応する回路はゲート信号線 51 を共有し、ゲート信号線上の一点を中心として互いに点対称に配置されている。以下、同様に、画素電極 17B に対応する回路は、更にその隣の図示しない画素電極に延在する。この画素を画素電極 17R' とすると、画素電極 17R' に対応する回路は、逆に画素電極 17B に重畳する。

【0066】このように配置することのメリットについて以下に説明する。例えば RGB 3 色を一つの絵素として 40 この絵素をほぼ正方形に使用とすると、RGB 個々の画素は 3:1 で縦長の長方形となる。一般的にストライプ配列の RGB 個々の画素は一方方向に長い矩形となる。そのような細長い矩形の画素電極 17 の下に、レイアウトをあわせて保持回路 110 等を配置しようとする 40 と、回路の設計が困難になる。それに対して本発明であれば、画素電極 17 のレイアウトと回路のレイアウトが異なるので、よけいな配線の迂回などが不要となってスペース効率が上がり、保持回路が必要とする面積をより小さくすることができる。保持回路付き LCD の場合、 50

1 画素の最小面積は、主に保持回路の占める面積が支配的であるので、保持回路を縮小することは、LCD の高精細化に直結すると言える。

【0067】次に、回路をゲート信号線を挟んで対称に配置することのメリットについて以下に説明する。隣接画素同士で領域をシェアしあう場合、画素毎に回路内のレイアウトを調整する必要が生じるが、隣接画素同士で点対称に配置すれば、一つの画素の回路を設計し、その回路をミラーリングして設計することができ、回路設計の効率がよい。ただし、図中で画素上下端に示した 4 本の電源線への結線は調整する必要がある。また、回路レイアウトを点対称にせず、平行に移動したとすると、隣接画素同士のゲート信号線は、互いに離れて配置する必要が生じ、ゲート信号線を各行 2 本配置する必要が生じる。これに対し、本実施形態では、回路を対称に配置しているので、ゲート信号線は各行 1 本でよく、増やす必要がない。

【0068】そして、本実施形態においても第 1 の実施形態と同様、保持回路 110 は画素の上端及び下端に配置され、列方向に隣接する画素同士の保持回路 110 は電源線 (VDD、VSS、信号 A、信号 B) を挟んで近接配置され、それら 4 本の電源線を共有している。従って、第 1 の実施形態と同様、各行毎に電源線を配置するのに比較して電源線を半数に削減することができる。

【0069】上記第 1、第 2 の実施形態では、4 本の電源線を隣接画素で共有したが、全ての電源線を必ず共有させる必要はない。4 本の電源線をすぐ近くに隣接して配置すると、保持回路 110 に接続するために各電源線から列方向に分岐させた配線は、全て他の 3 本の電源線と交差することになるため、寄生容量が生じる。また、電源線の 1 本を例えば本実施形態のレイアウトの保持回路 110 と補助容量 85 の間等に配置した方が、総合的にレイアウトの効率がよい場合も想定される。そのような場合は、4 本の電源線のうち、任意の電源線を共有すればよい。

【0070】上記第 1、第 2 の実施形態において、電源線を共有した結果、回路配置は、完全な線対称、点対称ではなくなっているため、各電源線と、画素電極 17 とで形成する寄生容量が画素同士で異なる場合がある。そうすると、画素同士で信号遅延が異なり、表示品質が低下する恐れがある。そこで、この寄生容量を揃えるために、共有する電源線が 2n 本 (n は自然数) であれば、それぞれの画素に n 本ずつ重ねて配置し、共有する電源線が 2n+1 本であれば、それぞれの画素に n 本ずつ重ねて配置し、1 本の電源線を画素間に配置すればよい。

【0071】上記第 1、第 2 の実施形態において、4 本の電源線 (VDD、VSS、信号 A、信号 B) は行方向に延び、列方向に隣接する画素同士で共用するように説明したが、図 1 の回路図で示したように、列方向に伸ばして配置してもよい。この場合は、各画素の回路配置を列間

を軸とした線対称として、電源線を共有し、第 1、第 2 の実施形態と同様の効果を奏することができる。しかし、特に第 2 の実施形態のようにストライプ配列であった場合、列方向に配線を伸ばすレイアウト的な余裕が少ない。従って、電源線は行方向に伸びるようにレイアウトした方がよい。

【0072】上記実施形態では、反射型 LCD を用いて説明したが、もちろん透過型 LCD に適用し、透明な画素電極と保持回路とを重畳して配置することも可能である。しかし透過型 LCD では、金属配線が配置されているところは遮光されるので、開口率の低下が避けられない。また、透過型 LCD で画素電極の下に保持回路を配置すると、透過する光によって保持回路や選択回路のトランジスタが誤動作する恐れがあるため、全てのトランジスタのゲート上に遮光膜を備える必要がある。従って、透過型 LCD では開口率を高くすることが困難である。

【0073】これに対し、反射型 LCD は、画素電極下にどのような回路が配置されても開口率に影響を与えることはない。更に、透過型の液晶表示装置のように、観察者側と反対側にいわゆるバックライトを用いる必要が無い場合、バックライトを点灯させるための電力を必要としない。保持回路付き LCD のそもそもの目的が消費電力の削減であるから、本発明の表示装置としては、バックライト不要で低消費電力化に適した反射型 LCD であることが好ましい。

【0074】また、上記実施形態は、液晶表示装置を用いて説明したが、本発明はこれにとらわれるものではなく、有機 EL 表示装置や、LED 表示装置など、様々な表示装置に適用することができる。

【0075】

【発明の効果】以上に説明したように、本発明のアクティブマトリクス型表示装置は、画素電極に対応した保持回路を有するアクティブマトリクス型表示装置において、保持回路に接続される電源線は、例えば行方向に延在し、行方向に並ぶ画素電極に対応する保持回路で共用

されるとともに、列方向に隣接する画素電極に対応する保持回路で共用されているので、各行毎に電源線を配置するのに比較して電源線の本数を半数に削減でき、画素サイズを縮小することができるので、より高精細な保持回路付きのアクティブマトリクス表示装置とすることができる。

【0076】特に、共有される電源線は全ての保持回路に対して同じ電圧を供給するので、行方向及び列方向にわたって共有することができる。

【0077】特に、共有される電源線は、行列他方向に隣接する画素の間付近に配置され、行列他方向に隣接する画素における保持回路の配置は、行列他方向に隣接する画素の間を軸もしくは中心にして共有される電源線を挟んで対称に配置されるので、共有された電源線から保持回路に接続する配線を短くできるなど、レイアウトの効率を向上できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態を示す回路図である。

【図 2】本発明の第 1 の実施形態の平面レイアウトを示す概念図である。

【図 3】本発明の第 1 の実施形態の平面レイアウトを示す概念図である。

【図 4】本発明の実施形態の断面図である。

【図 5】本発明の第 2 の実施形態の平面レイアウトを示す概念図である。

【図 6】液晶表示装置の 1 画素を示す回路図である。

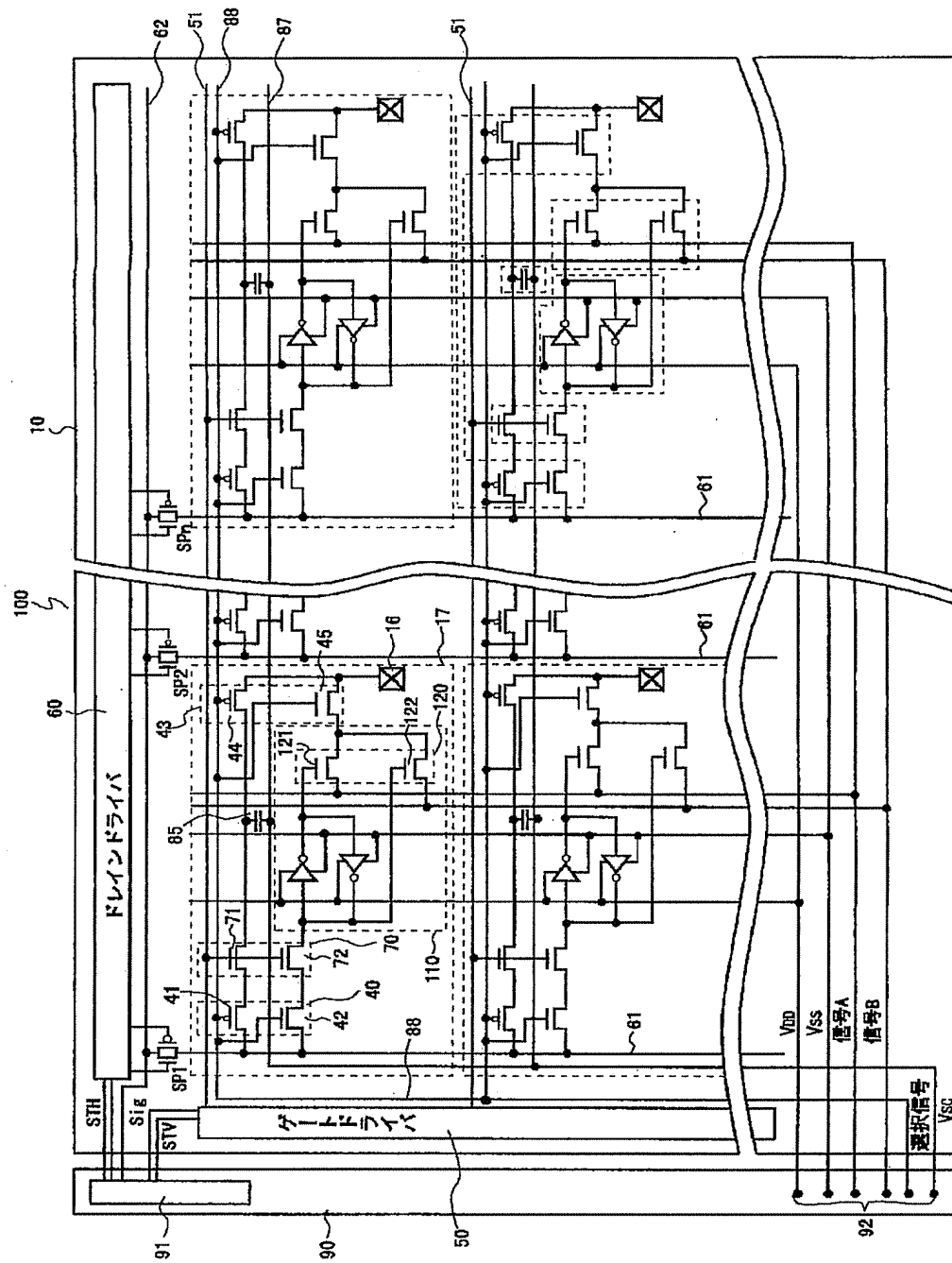
【図 7】従来の保持回路付き表示装置を示す回路図である。

【図 8】従来の保持回路付き液晶表示装置の 1 画素を示す回路図である。

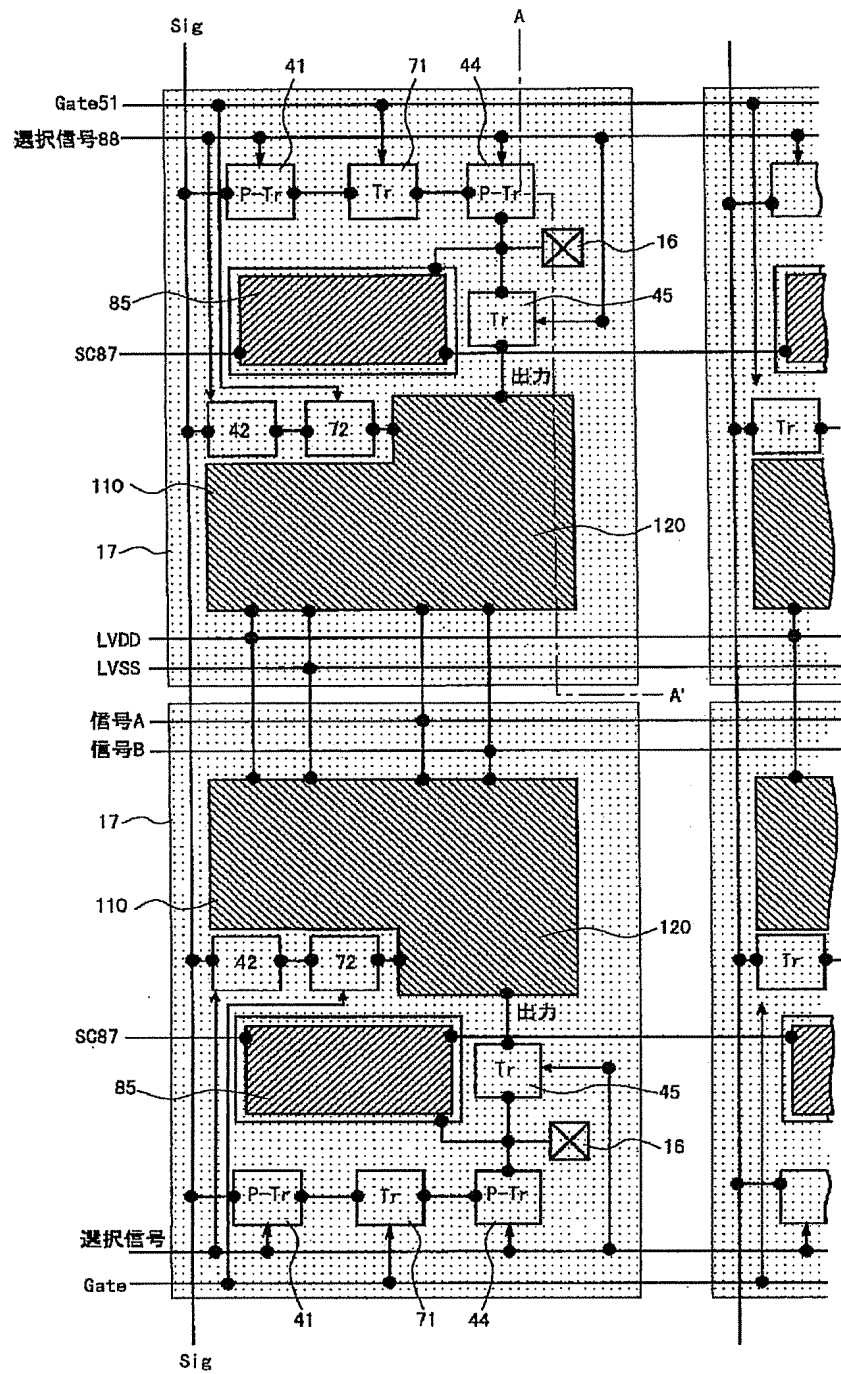
【符号の説明】

17	画素電極
40、43	回路選択回路
70	画素選択回路
85	補助容量
110	保持回路

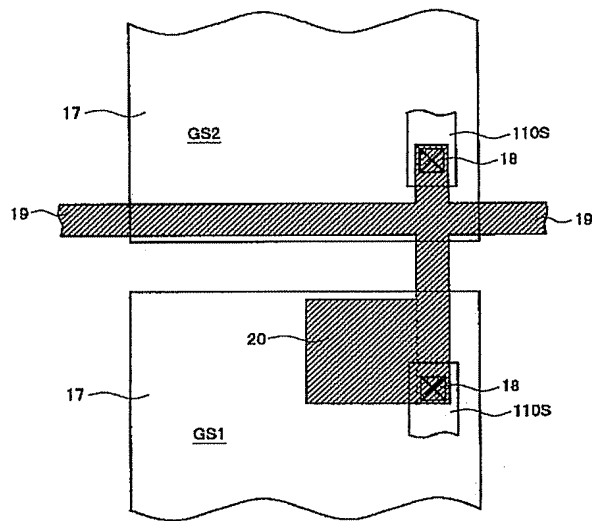
【図 1】



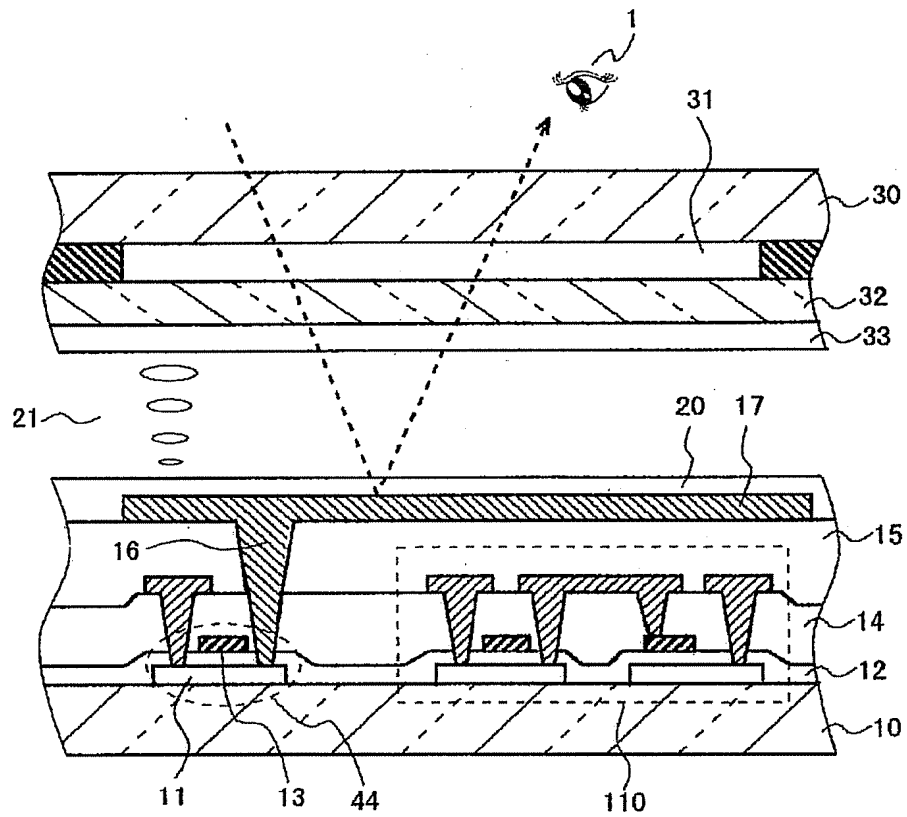
【図 2】



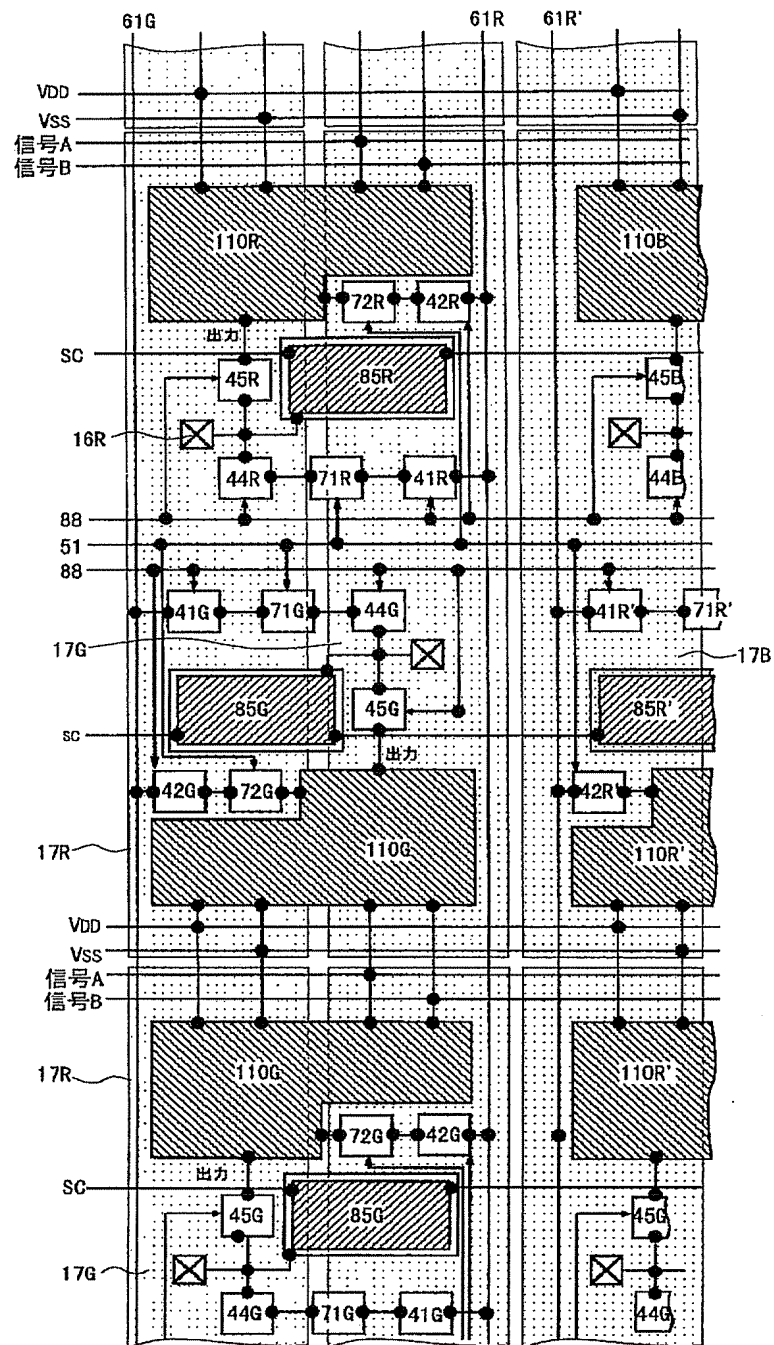
【図 3】



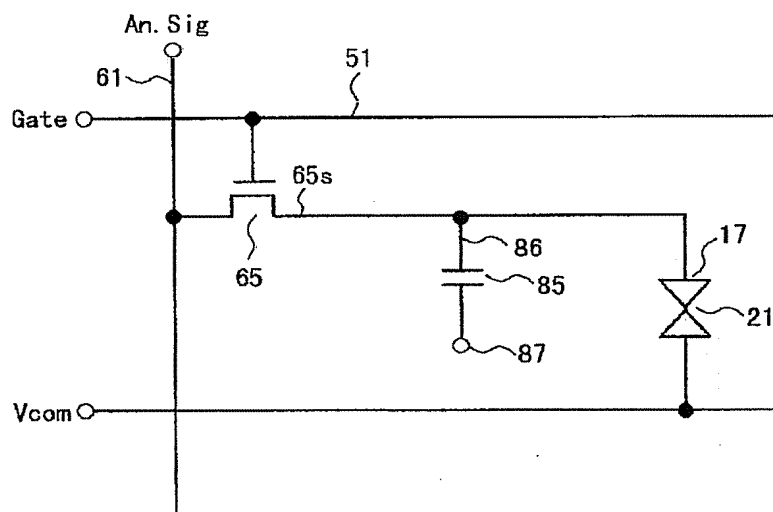
【図 4】



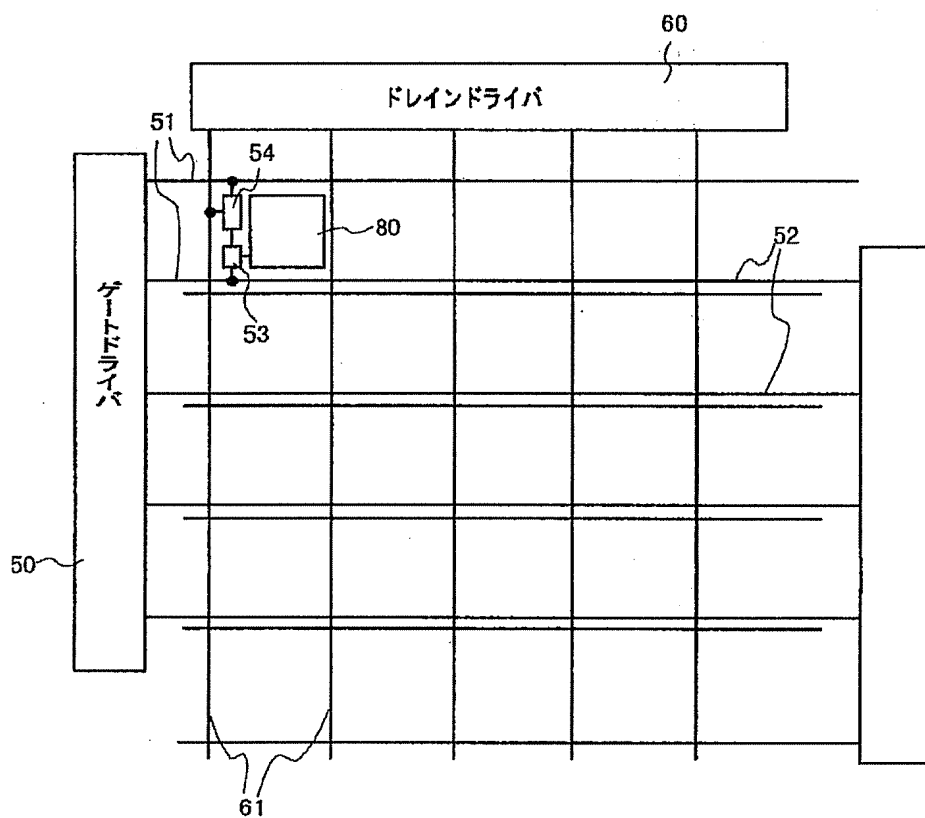
【図 5】



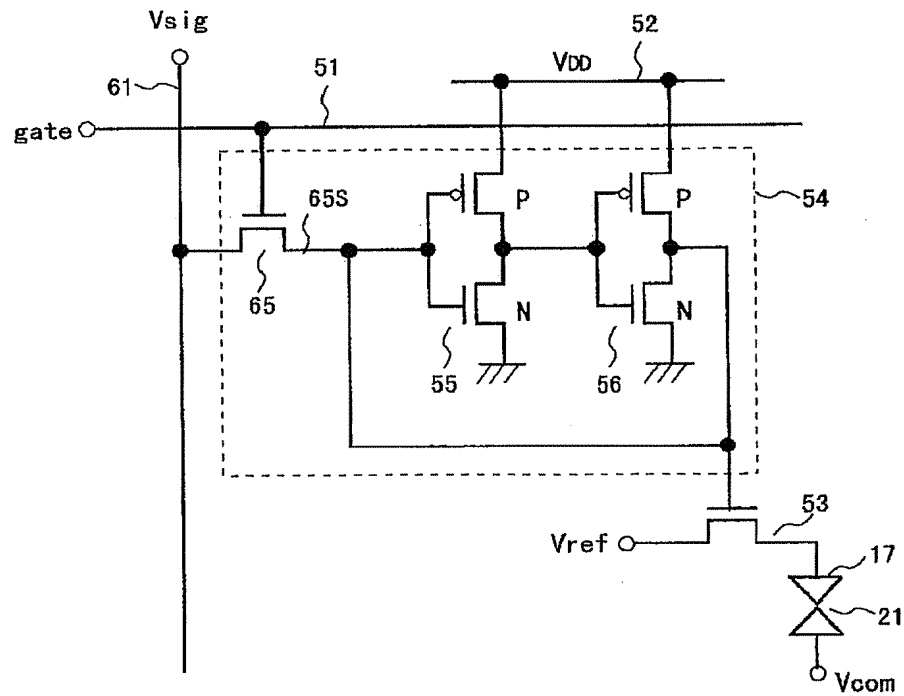
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int. Cl.⁷

H01L 29/786

識別記号

FI

H01L 29/78

ターマコード (参考)

614

Fターム (参考) 2H092 JA24 JA34 JA37 JA41 JB22
 JB31 NA07 PA06
 2H093 NA51 NC01 NC09 NC11 NC16
 NC22 NC28 ND01 ND06 ND42
 ND54
 5C094 AA05 AA45 BA03 CA19 DA14
 DB03 DB04 EA04 EA07
 5F110 AA04 AA09 AA30 BB02 BB04
 BB05 BB07 CC02 DD02 GG02
 GG13 HL03 HM19 NN73